# 简述

## 1.1 i/o设备的编址以及i/o接口的功能

### 1.i/o接口的功能

1. 进行地址译码和设备选择

CPU送来选择外设的地址码后，接口必须对地址进行译码以产生设备选择信息，使主机能和指定外设交换信息。

1. 实现数据缓冲和锁存

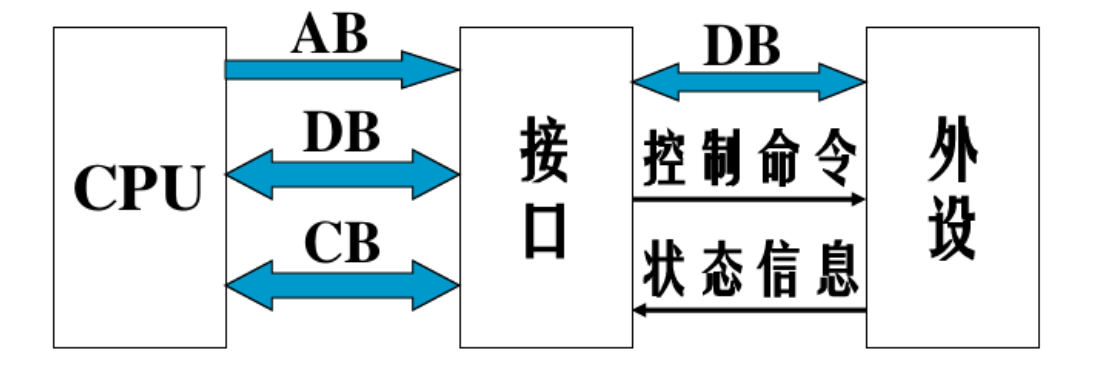
在输入过程中，先将数据送入数据缓冲寄存器中，然后在送到输出设备或者主机中去；在输出时，先将数据送入锁存器。

1. 数据格式转换

CPU出来的数据是并行的二进制信号，外设有的是串行或模拟信号。

1. 传递控制命令和状态信息

### 接口基本组成



1. 数据寄存器-------数据端口

实现数据缓冲与锁存

1. 控制命令寄存器---控制端口
2. 状态信息寄存器----状态端口
3. 控制逻辑电路

地址译码与设备选择电路

中断控制逻辑电路

读写控制电路

### i/o编址

i/o设备编址的原因：为了方便CPU对i/o设备进行寻址和选择，必须给每一台设备规定一些地址码（设备号或设备代码）

### 寻址方式

1. 独立的i/o方式

该地址与内存地址无关，CPU使用专用i/o指令访问外设。

**端口地址的两种编码方式：**

全编码---n条地址线，2^n个外设

位编码---n条地址线，n个外设

优：专门的i/o指令，与访存分开；指令执行块；不占内存地址空间。

缺：需要专用指令，寻址方式少。

1. 存储器统一寻址方式

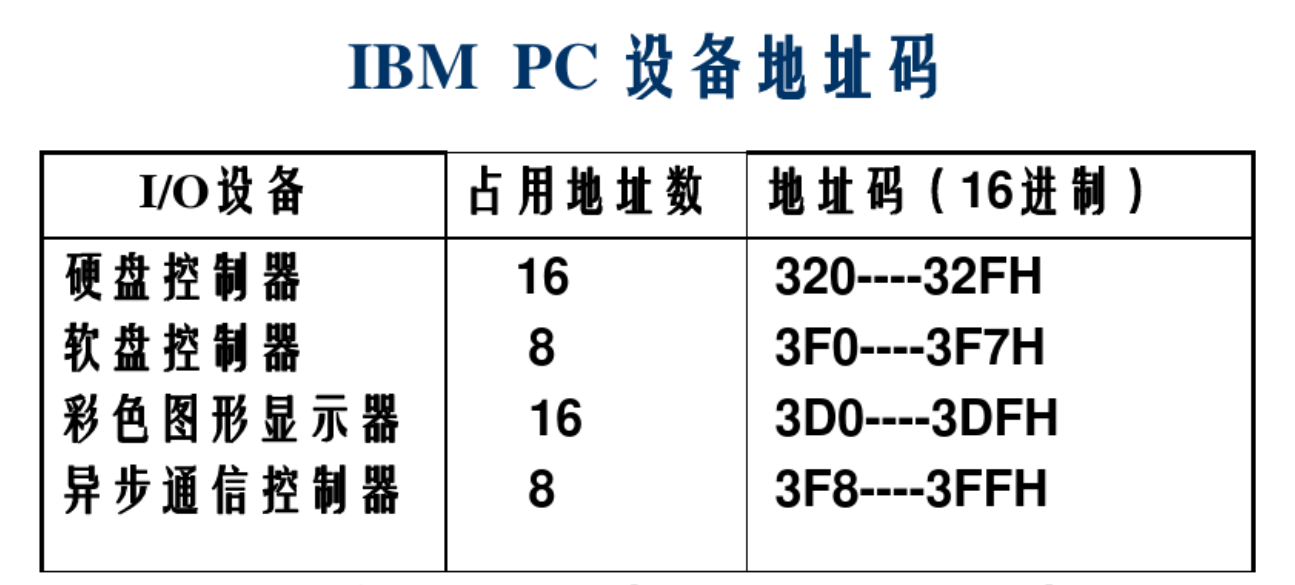
把外设端口与存储器统一进行编址，不需要专门的i/o指令。

优：访存指令可访问端口，寻址类型多。

缺：占用存储器空间；速度慢。

问题：地址空间的分配

1. 用地址码的高位来区分内存与外设
2. 规定部分地址为外设地址



IBM pc系列机设置有专门的i/o指令，从上表中可以看出每一台设备都占用多个地址码，分别表示相应的设备控制器中的寄存器地址。

**考题：**

（1）. 若某个计算机系统中，内存地址与i/o地址统一编址，访问内存单元和i/o是靠----来区分。

1. 数据总线上的输出数据
2. 不同的地址代码
3. 内存与i/o使用不同的地址总线
4. 不同的指令

答案：B

1. 下列---的说法正确的。
2. 内存地址不能作为接口地址
3. 内存地址可以作为接口地址
4. 借口地址不可用作外存地址
5. 接口地址可以用作内存地址

答案：B

### i/o接口类型

1. 按数据传送的宽度可分为并行接口和串行接口

并行接口中，外设和接口之间是按字节或字来传送数据；串行接口中，外设与接口之间是一位一位来传输数据的

1. 按功能选择的灵活性分为可编程接口和不可编程接口
2. 按通用性可分为通用接口和专用接口

考题：

1.RS--232-C是\_\_\_。现在不少打印机，扫描仪和数字相机等设备都是通过USB接口与主机相连，它是\_\_\_\_,此类应用中的传送速率可达\_\_\_。他支持\_\_\_\_通信，并完全支持\_\_\_。

1：A. Modem专用接口

1. 打印机接口
2. 通用串行数据接口
3. 通用并行数据接口

2：A. 通用串行总线

1. 通用并行总线
2. SCSI接口
3. 通用卡式接口

3：A. 56Kbps

1. 1.5Mbps
2. 12Mbps
3. 100Mbps

4: A.同步方式

1. 异步方式
2. 同步或异步方式
3. 数据压缩方式

5： A.模拟信号输入、输出

1. 局域网接口
2. 无驱动程序工作方式
3. 即插即用方式

答案：C、A、C、D

## 1.2 i/o设备数据传送控制方式

通常把i/o设备数据传送控制方式分为5种：

1. **程序直接控制方式**

完全通过程序来控制主机和外设之间的信息传送通常的办法是在用户的程序中安排一段有输入输出指令和其他指令所组成的程序段直接控制外设工作。

优点：控制方式比较简单

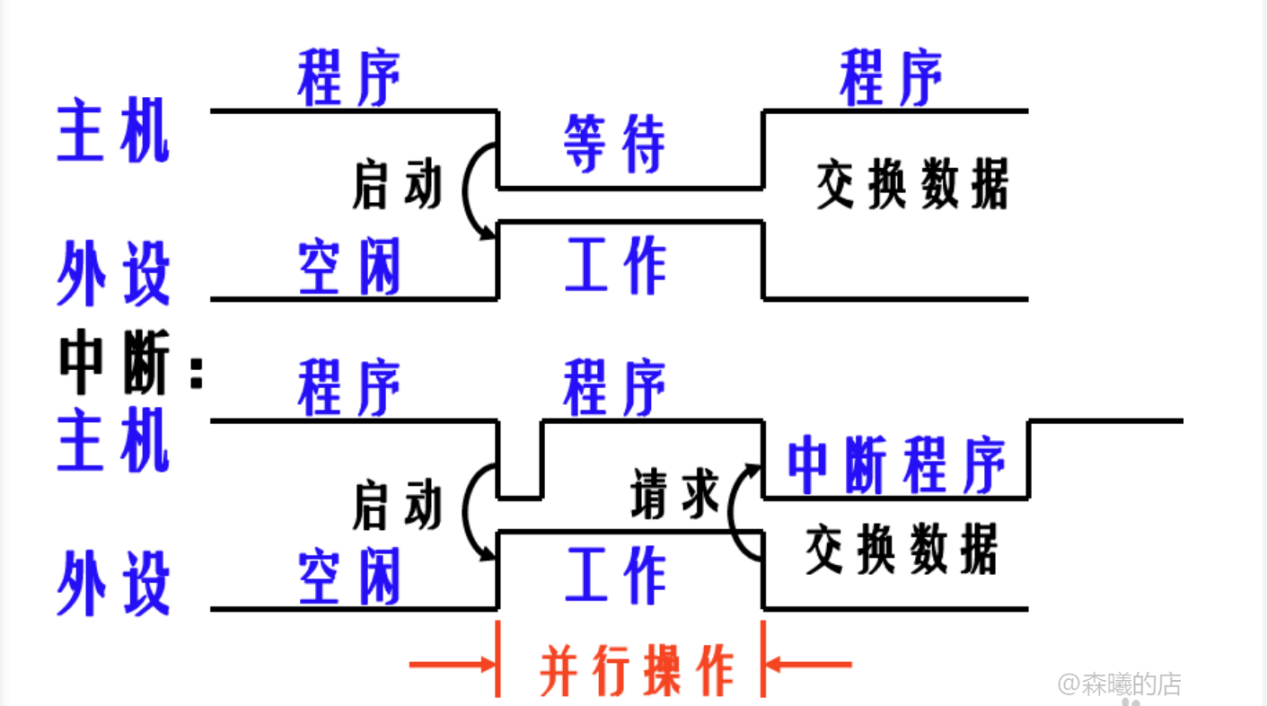
缺点：凑利用率低

仅仅适用于传输效率高的外设。

1. **程序中断控制方式**

外设与CPU可以同步工作，当外设准备好数据后向CPU发出中断请求，CPU接到请求后停止正在运行的程序，转去执行中断服务程序，完车改后返回原程序处。

这种方式提高了CPU的利用率，但是成批交换数据的外设，用这种方式容易出现信息失去现象。可以采用DMA方式来解决。



1. **DMA方式**

直接存储器访问存取方式简称DMA，基本思想是在外设和主存之间开辟直接的数据传送通道。在不需要CPU干预也不需要软件介入的情况下在两者之间进行的高速数据传送方式。这项工作是由i/o系统中的DMA控制器来完成的。

DMA方式仍然存在问题：对外设的管理和某些操作的控制仍然需要CPU来承担。外设数量增加，多个DMA同时使用，会引起访问主机冲突。

1. **i/o通道控制方式**

在大型计算机系统中，所连接的i/o设备数量多，输入输出频繁，要求整体的速度快，单纯依靠CPU采取中断和DMA等控制方式已经不能够满足要求，因此引入通道控制方式。

i/o通道有自己的指令系统，并且能够实现指令所控制的功能，所以i/o通道已经具备处理机的功能。但是他的指令较为简单，一些复杂的功能仍然需要CPU来完成，所以，i/o通道是一个不完整的处理机。

1. **外围处理机方式**

外围处理机简称ppu，功能：可以完成i/o控制，还能完成一些复杂的操作。

外围处理机基本上独立于主机，使得计算机系统结构有了质的飞跃，由功能集中式发展为功能分散的分布式系统。

# 程序中断输入输出方式

## 中断的基本知识

1. 中断的定义

中断是指CPU对系统中或系统外发生异步事件的响应。

异步事件是指无一定时序关系的随机发生事件。

1. 中断的作用
2. CPU与i/o设备的同步工作
3. 硬件的故障处理
4. 实现人机联系
5. 实现多道程序和分时操作
6. 实现实时操作
7. 实现应用程序和操作系统的联系
8. 多处理机系统各处理机间的联系
9. 中断的基本类型
10. 自愿中断和强迫中断
11. 程序中断和简单中断
12. 内中断和外中断
13. 向量中断和非向量中断
14. 单重中断和多重中断
15. **中断源**

定义：引起中断的事件称为中断源

中断触发器：引起中断时，先把中断保存在设备控制器的中断触发器中，即置一，当中断触发器为1时，向CPU发出中断请求信号。

每个中断源都有一个中断触发器。

1. 中断的优先级和分级

优先权：多个中断同时发生时，对各个中断响应的优先次序。按中断性质和处理的轻重缓急对所有的中断赋予优先权。

中断级：把所有的中断按不同的类别分为若干级，称为中断级。

分配优先权时必须要考虑数据传输率和服务程序的要求。

1. **禁止中断和中断屏蔽**
2. 禁止中断

定义：产生中断后，由于某些条件的限制，CPU不能终止现行程序的执行，称为禁止中断。

实现：CPU中设置一个中断允许触发器，当触发器为1时，允许CPU响应中断。中断允许触发器通过开中断、关中断指令来置位、复位，进入中断服务程序后自动关中断。

1. 中断屏蔽

定义：产生中断请求后，用程序方式 有选择地封锁部分中断，允许其余中断得到响应。

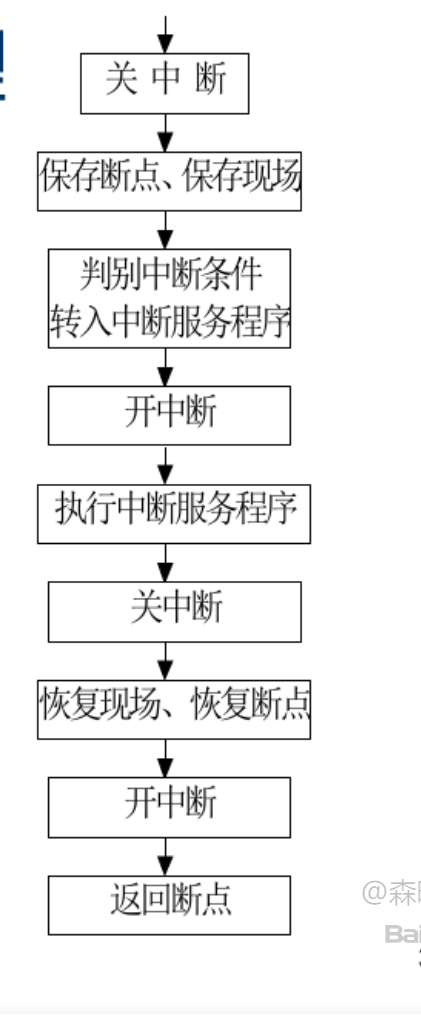
实现：为每一个中断源设置一个中断屏蔽触发器来屏蔽该设备的中断请求。触发器置1时，相应的设备中断被封锁；置0时，相应的设备中断允许得到响应。有些中断不允许屏蔽，这些中断被称为非屏蔽中断，即优先级最高。

## 中断处理

### 中断处理过程

关中断、保存断点等操作一般由硬件来实现，类似一条指令，称为中断隐指令。

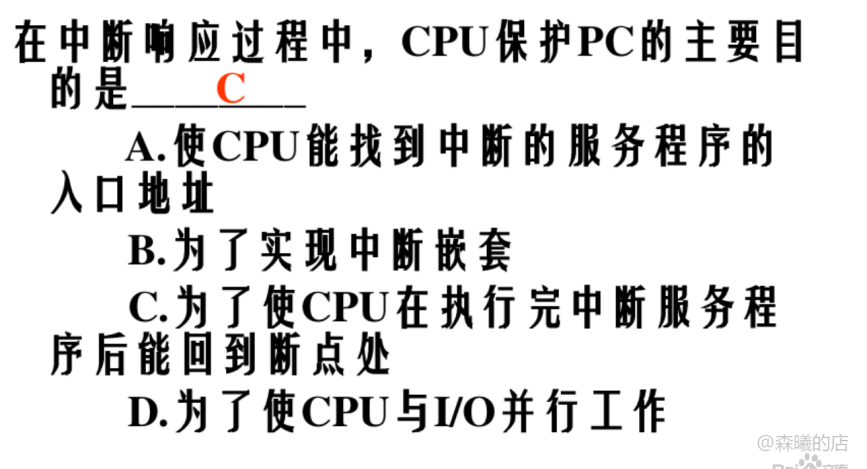
中断服务程序：为处理意外情况或有意安排的任务而编写的程序称为中断服务程序。



注意：第一次开中断是为了让更加高优先级的中断进入。

第二次的执行中断服务才是实际有效的

考题：



### 判别中断源

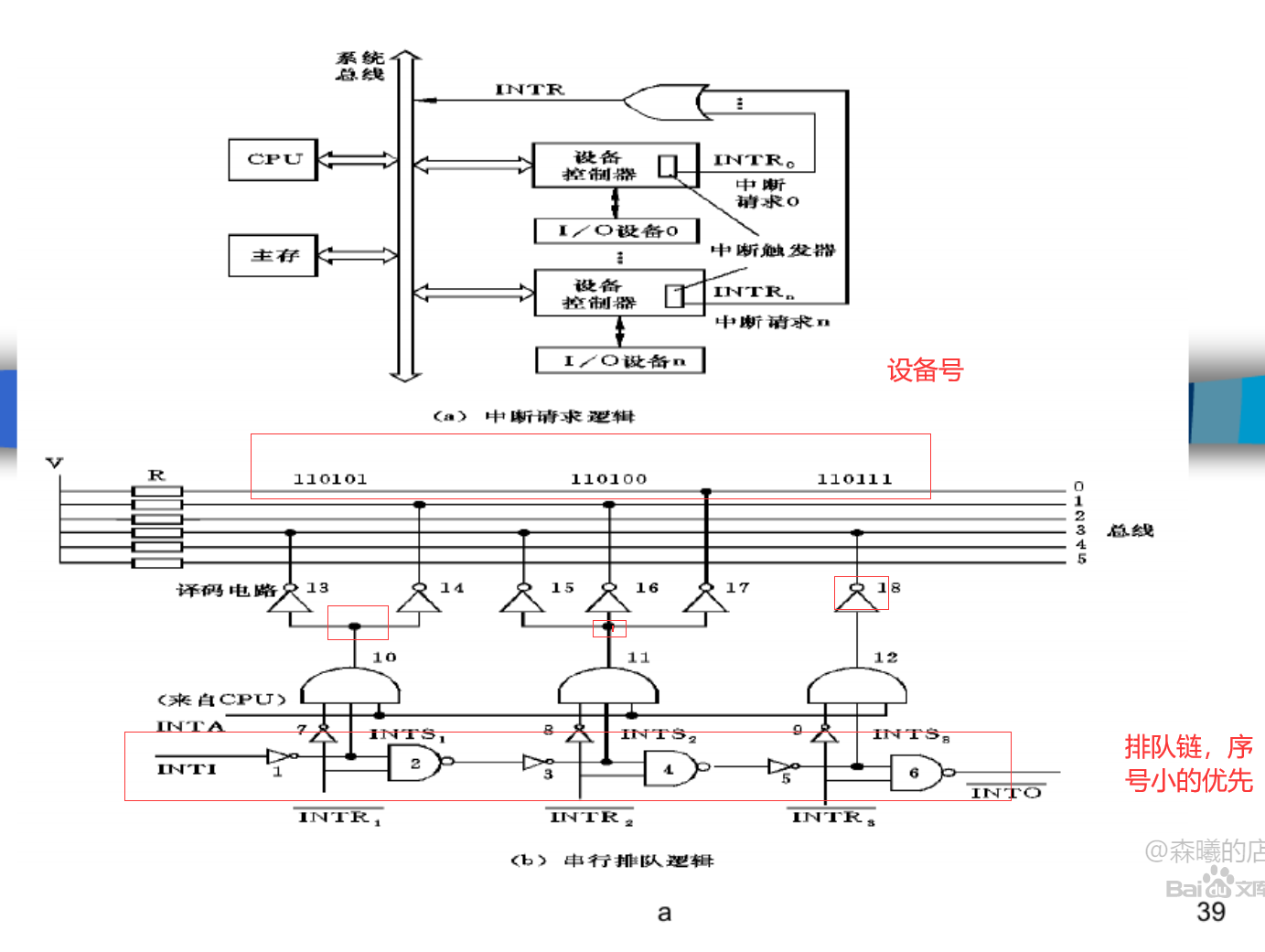
有两种方法：一种是硬件法，另一种是软件法。

1. 查询法

由测试程序按一定顺序检查各个设备的中断触发器，当找到第一个1时，则找到了优先进行处理的中断源。

1. 串行排队链法

由硬件来确定中断源。当一个设备的中断触发器为1时，通过或门向CPU发出中断请求信号。



### 多重中断处理

定义：处理某个中断过程又出现新的中断请求（优先级更高），则中断该服务程序的执行，转去处理新的中断程序，处理完之后返回到原来程序执行。这种行为又被称为中断嵌套。

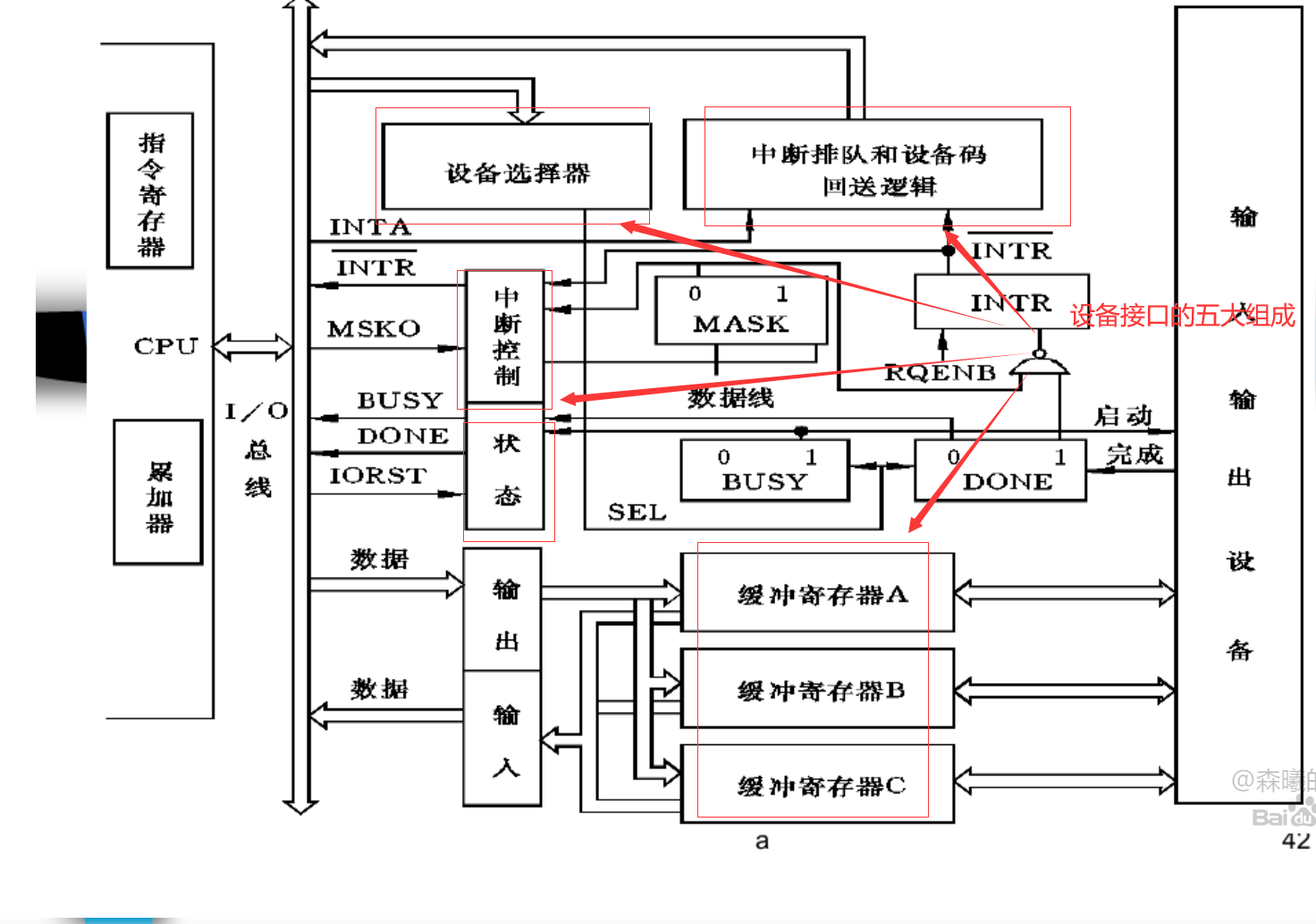
中断级的响应次序由硬件来决定。

## 程序中断设备接口的组成

程序中断设备接口一般由设备选择器、中断控制和工作状态逻辑、中断排队控制逻辑、设备码回送逻辑和数据缓冲寄存器五部分组成。

接口通过总线与主机相联。

现代计算机都设有中断系统，一般设备的处理程序包括在os中，成为i/o驱动程序的一部分。



1. 设备选择器：每一台外围设备接口都设有一个设备选择器，连接在系统上的每一台设备都有一个设备号。当CPU需要某个设备时，通过i/o指令或其他访问i/o设备地址的指令，将设备码通过地址线送往所有外围设备接口，但是仅仅具有该设备好的设备选择期才会产生选中信号。于是，该外围设备及其接口才能响应主机的控制并进行数据传送。
2. 中断控制和工作状态控制逻辑：中断控制是带有中断屏蔽的接口逻辑。他包含s四个D触发器，其中两个为工作状态寄存器：完成触发器和忙触发器。

当设备被选中时，即选中信号（SEL）为高电平时，BUSY->1，启动设备，同时DONE->0。当设备完成输入输出操作后，需要请求中断时，由完成信号使DONE->1。如果MASK为0，则CPU送来指令结束信号RQENB的作用下，使INTR等于1，向CPU发出中断请求信号INTR。但是如果MASK为1，则即使DONE为1，仍不能产生中断请求信号，直到MASK为0为止。

MASK是由i/o指令利用MSKO的上升边来置位和复位的，IORST是总清信号。

1. 中断排队和设备码回送逻辑

CPU接到外围设备的中断请求后，如可以响应中断，则需要了解是那台设备要求服务。因此需要将请求中断的设备码送给CPU。当多台设备有中断请求时，必须先为优先级高的设备服务。这个任务是通过排队线路和设别码回送逻辑来完成的。

1. 数据缓冲寄存器

每个外设的接口都有设置数据缓冲寄存器，其长度为一个字节或字。有的只需要一个数据缓冲寄存器，有的外设需要多个。

## 中断与子程序的区别

1. 子程序的执行是由程序员事先安排好的，而中断服务程序的执行则是由随机中断事件引起的。
2. 子程序的执行受到主程序或上层子程序的控制，而中断服务程序一般于被中断的现行程序毫无关系。
3. 不存在同时调用多个子程序的情况，而可能存在多个外设同时请求CPU为自己服务的情况。

# DMA输入输出方式

DMA方式用于高速i/o设备与主存之间的数据传送。

* 1. DMA控制器组成
  2. DMA方式的五大特点
  3. DMA的三种工作方式
  4. DMA传送过程
  5. DMA和中断的区别

## 3.1 DMA输入输出方式

在DMA传送方式中，对数据传送过程进行控制的硬件称为DMA控制器。

1. 设备寄存器

主要有MAR（主地址寄存器）、ADR（外设地址寄存器）、WC（字数计数器）、CSR（控制器与状态寄存器）、DBR（数据缓冲寄存器）

1. 外部设备地址寄存器（ADR）：该寄存器中存储的是设备的设备号
2. 主存地址寄存器（MAR）：该寄存器的初始值为主存缓冲区的首地址，在数据传送前由程序送入。
3. 字数计数器（WC）：该计数器对传送数据的总字节进行计数。每当传送一个字节或字的数据时，WC计数器就减1.
4. 控制欲状态寄存器（CSR）：该寄存器用来存储状态字和控制字。
5. 数据缓冲寄存器（DBR）：该寄存器用来暂存i/o设备与主存传送的数据。
6. 中断控制逻辑

DMA中断控制逻辑负责CPU 对DMA进行预处理和后处理。

1. DMA控制逻辑单元

DMA控制逻辑一般包括设备码选择电路、DMA优先排队电路以及产生DMA请求的线路。在DMA取得总线的控制权后进行控制主存和设备间的数据传送。

1. DMA接口与主机、DMA接口与i/o设备的总线及有关收发与驱动线路

## 3.2 DMA方式的五大特点

1.他使主存与CPU的固定联系挂钩，主存既可以被CPU访问，，又可以被外存访问。

2.在数据块传送时，主存地址的确定，传送数据的计数等等都是用硬件电路直接实现的。

3.主存中要开辟专用缓冲区，及时供给和接收外设的数据。

4.DMA传送速度快，CPU和外设并行工作，提高系统效率。

5.DMA在开始前和结束后要通过程序和中断方式进行预处理和后处理。

## 3.3 DMA三种工作方式

1.CPU暂停方式。

定义：主机响应DMA请求后，让出存储总线，直到遗嘱数据传送完成后，DMA控制器才把总线控制权交还给CPU。

特点：在其接口中一般设置有存取速度较快的小容量存储器。

2.CPU周期窃取方式

定义：DMA控制器与主存储器之间传送一个数据，占用一个CPU周期，即CPU暂停工作一个周期，然后继续执行程序。

3.直接访问存储器工作方式

定义：这个是一个标准的工作方式，如果传送数据时CPU不占用存储总线，则对CPU不会产生任何影响。如果DMA和CPU存在竞争总线的情况时，DMA的优先权比较高。

## 3.4 DMA传送过程

图：

1. 预处理

这是在DMA传送之前做的一些必要性准备工作，是由CPU来完成的。CPU首先执行几条i/o指令，用于测试外设的状态、向DMA控制器的有关寄存器置初始值、设置传送方向、启动该外部设备等等。

在这些工作完成后，CPU继续执行原来的程序，在外设准备好发送数据（输入时）或接收的数据已经处理完成后，外设向DMA控制器发DMA请求，再由DMA控制器向CPU发送总线请求。

1. 数据传送

DMA的数据传送可以是以单字节或字为基本单位，也可以以数据块为基本单位。对于数据块为单位的传送，DMA占用总线后的数据输入和输出操作都是通过循环来实现的。

需要特别指出的是，这一个循环不是由CPU执行程序实现的，而是由DMA控制器来实现的。

1. 输入数据
2. 从输入设备读一个字到数据缓冲寄存器。
3. 向CPU发送DMA请求，如取得总线控制权，则将数据缓冲寄存器中的数据送入主存的数据缓冲寄存器中。
4. 把DMA的主存地址寄存器中的内容送往主存中的AR，并把数据写入主存中。
5. 把字数计数器的内容减1，MAR内容加1。
6. 判断字数计数器的内容是否为0，是则结束，向CPU发送请求，不是则重复。
7. 输出数据
8. 将MAR内容送往主存的地址寄存器。
9. 把主存相应地址单元的内容读入主存的数据寄存器中。
10. 将数据缓冲寄存器的内容送到DMA的数据缓冲寄存器中。
11. 数据缓冲寄存器中的内容送往输出设备中。
12. 字数计数器的内容减1，MAR内容加1。
13. 判断字数计数器的内容是否为0，是则结束，否则继续重复。
14. 后处理

当字数计数器为0时，DMA操作结束，DMA控制器向CPU发出中断请求，CPU停止原来程序的执行，转去执行中断服务程序做DMA结束处理工作。

## DMA和中断的区别

有五个区别：

1. 中断方式是程序的切换，需要保护和恢复现场；而DMA方式除了开始和结束，都不占用CPU的资源。
2. 对中断请求的响应只能发生在每条指令执行完毕时；而对DMA方式的响应可以发生在每个机器周期结束时。
3. 中断传送过程需要CPU的干预，DMA传送过程不需要CPU的干预，故数据传送速率非常的高，适合高速外设的成组数据传送。
4. DMA请求优先级高于中断请求。
5. 中断方式具有对异常事件的处理能力；而DMA方式仅仅局限于完成传送信息块的i/o操作。

# 通道控制方式和外围处理机方式

DMA控制方式存在如下两个缺点：

1. DMA控制器增多，会引起访问主存冲突。
2. 传送前预处理和后处理占用CPU资源，降低了系统的效率。

为了解决上述的问题，采用通道控制方式。

## 通道控制方式

图：

1. 通道控制方式与DMA方式的区别

通道控制方式是DMA方式的进一步发展，实质上，通道也是实现外设和主存之间的直接交换数据的控制器。两者的主要区别在于：

1. DMA控制器是通过专门设计的硬件控制逻辑来实现对数据传送的控制；而通道则是一个具有特殊功能的处理器，它具有自己的指令系统，通过执行一个通道程序实现对数据传送的控制，故通道程序具有更加强大的独立处理数据输入输出的功能。
2. DMA控制器一般只能控制一台或少数几台同类设备；而通道则可以同时控制许多台同类或不同类的设备。
3. 通道的功能

通道在一定的硬件的基础上利用软件手段实现对i/o的控制和传送，更多的免去了CPU的介入，从而使得主机和外设的并行工作程度更加的高。当然，通道并不能完全脱离CPU，他还要受到CPU的管理，而且通道还应该向CPU汇报自己的状态，以便CPU决定下一步的处理。

通道总共有五个功能：

1. 接收CPU的i/o指令，按指令要求与指定的外设进行联系。
2. 从主存取出属于该通道程序的通道指令，经译码后向设备控制器和设备发送各种命令。
3. 实施主存和外设之间的数据传送
4. 从外设获得设备的状态信息，形成并保存通道本身的状态信息，根据要求将这些状态信息送到主存的指定单元，供CPU使用。
5. 将外设的中断请求和通道本身的中断请求按照次序及时报告给CPU。

## 通道型i/o处理机和外围处理机

IOP不是一台独立的计算机，可以和CPU并行工作。

外围处理机机构更接近于一般处理机，基本上都是独立于主机工作的。

# 系统总线

总线的组成：数据总线、控制总线、地址总线。

模块：具有专门功能的插件板，或邮件、插件、插卡。

总线：各模块之间传送信息的通路称为总线。

## 总线的分类

按照传送信号不同，总线分为：AB、DB、CB。

AB----单向，总线数量取决于主存单元、外设端口。

DB----双向，总线数取决于树集传送方式、字长。

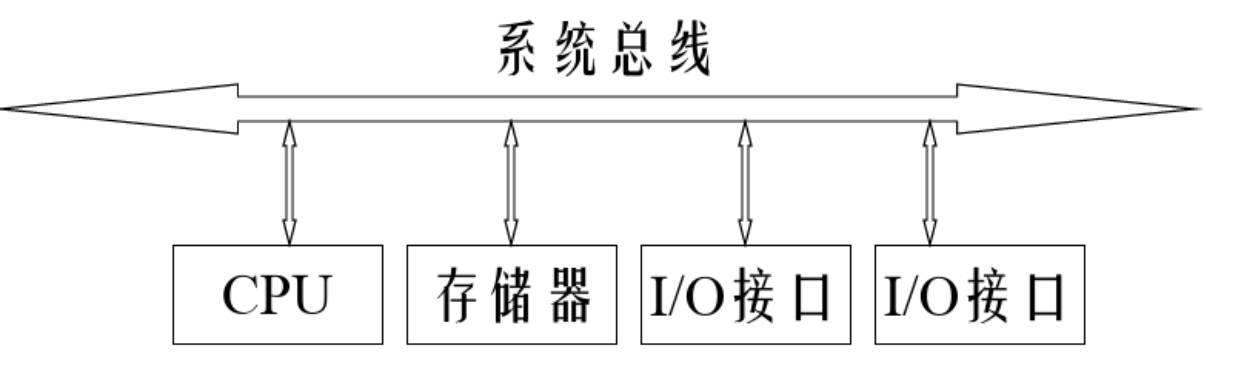
CB----双向，（外设发往主机的是状态信息和反馈信息）

## 总线的结构

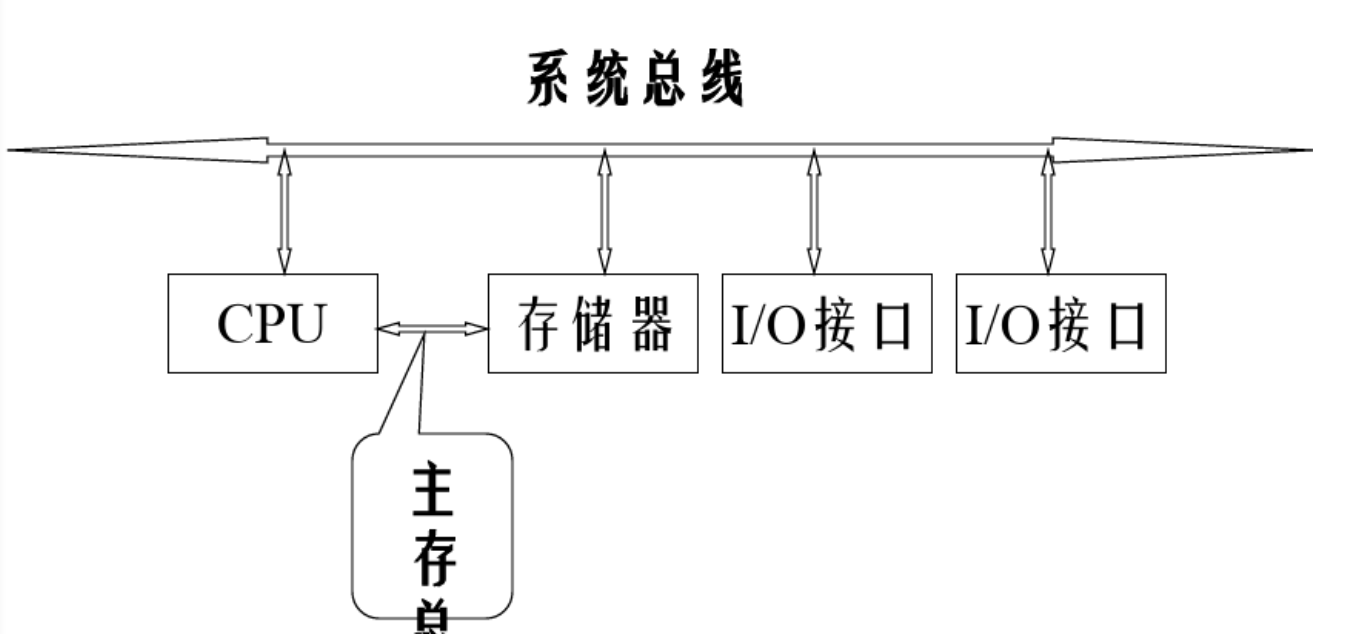
计算机系统总线结构基本上有三种：

单总线，双总线，三总线。

1. 单总线

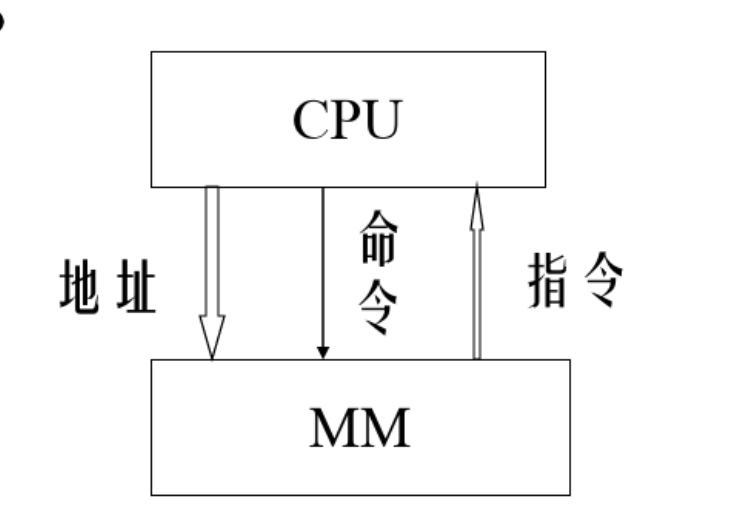


2.双总线



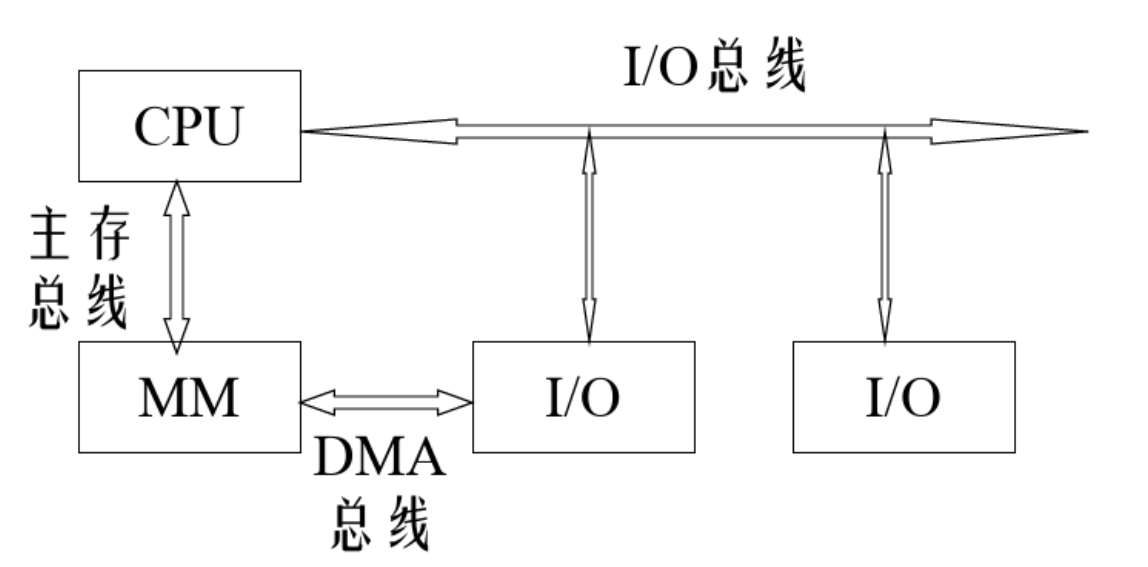
主存总线

CPU与主存通过主存总线进行数据交换。



3.三总线

计算机各个部件之间采用三条各自独立的总线来构成信息通路。



1）DMA总线

直接内存访问总线，把内存同一个或多个高速的外设连接起来，以便内存和外设之间直接的交换信息。

2）i/o总线

输入输出总线，供CPU和各类外设之间交换信息。

## 总线的通信机制

主机与外设通过总线进行信息交换时，必然存在时间上的配合和动作的协调问题，否则系统的工作将出现混乱。

总线通信控制方式一般分为同步方式和异步方式。

1. 同步通信方式

系统采用一个统一的时钟信号来协调发送和接收双方的传送定时关系。时钟产生相同的时间间隔，每个间隔构成一个总线周期。在一个总线周期中发送和接收双方可以进行一次数据传送。

1. 异步通信方式

异步通信方式也称为应答方式，依靠传送双方相互制约的“握手”信号来实现定时控制。

通常，把交换信息的两个部件或设备分为主设备和从设备，主设备提出交换信息的请求信号，经过接口传送到从设备；从设备接到主设备的申请后，通过接口向主设备发出问答信和号，整个握手过程就是一问一答进行的。

## 总线管理（补）

总线是由多个部件和设备所共享的，为了正确的实现他们之间的通信，必须有一个总线控制机构，对总线的使用进行合理的分配和管理。

为了保证同一时刻只有一个申请使用者使用总线，总线控制机构中设置有总线判优和仲裁控制逻辑，即按照一定的优先次序来决定哪个部件首先使用总线，只有获得总线使用权的部件，才能开始数据传送。

**注意**：常用的优先权仲裁方式为串行链接方式。

## 5.5 几种有名的总线标准

1.IBM 62线总线

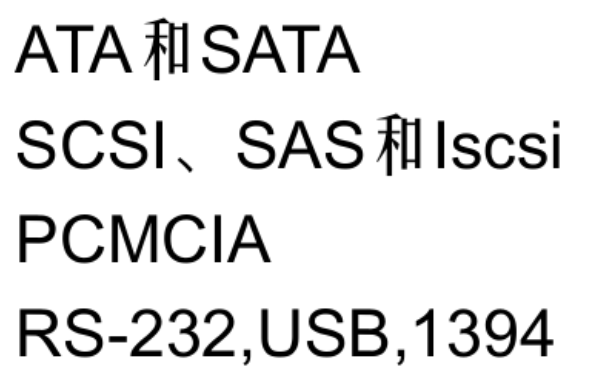
2.IBM PC/AT总线

3.ISA总线：为工业标准总线，带宽：16.6MB/S

4.EISA总线:32位，32位地址，带宽：33MB/S。是早期工业标准体系结构单总线的扩展。

5.PCI总线：32位，32/64位地址，带宽：533MB/S。介绍：首先应用于奔腾机，数据线宽度已有64位，并且具有数据缓冲能力。PCI总线具有即插即用的功能。

# 外设和接口



# 习题

## 10.1

1.计算机系统的输入输出接口是主机和外部设备、存储器和外部设备之间的交接界面。主机一侧通常是标准的系统总线。一般这个接口就是各种设备控制器。

2.中断处理过程中保存现场工作是必须的，保存现场中最基本的工作是保存断点和当前状态，其他工作是保存当前寄存器的内容等。后者与具体的中断处理有关，常在具体的中断服务执行时用软件实现，前者常在响应中断时用硬件完成。

若某机器在响应中断时，由硬件将PC保存到主存单元中，而该机支持多重中断，则进入中断程序后，必须将此单元内容转存到其他单元中。

3.设置中断触发器保存外设提出的中断请求，是因为CPU无法对发生的中断请求立即做出响应处理和可能存在多个中断同时发生。

## 10.2

问题：程序中断设备接口由哪些逻辑电路组成？各逻辑电路的作用是？

答：

**1.组成逻辑电路**：任何时刻输出信号的逻辑状态仅取决于该时刻输入信号的逻辑状态，而与输入信号和输出信号过去状态无关的逻辑电路。由于组合逻辑电路的输出逻辑状态与电路的历史情况无关，所以它的电路中不包含记忆性电路或器件。

**2.时序逻辑电路**：任何时刻的输出状态不仅与该时刻的输入有关，而且还与电路历史状态有关的一种数字逻辑电路。时序逻辑电路具有记忆输入信息的功能，由于它的引入使得数字系统的应用大大增强。常用的有计数器、寄存器和脉冲顺序分配器等。

## 10.3

问题：简述中断处理过程。指出其中那些工作是由硬件来完成的，哪些是由软件来完成的。

答：

**处理过程：**

1. 关中断。进入不可再次响应状态，由硬件自动实现。
2. 保存断点和现场。现场信息一般指程序状态子、中断屏蔽寄存器和CPU中某些寄存器内容。对现场信息的处理有两种方式，第一种是由硬件对现场信息进行保存和恢复，另一种通过软件即中断服务程序对现场信息进行保存。
3. 判断中断源，转向中断服务程序。软件实现
4. 开中断，硬件实现。
5. 执行中断服务程序。软件实现
6. 退出中断。

## 10.4

问题：流水线CPU和非流水线CPU在处理中断程序中断方式上有什么不同？

答：

非流水线CPU在当时正在执行的指令完成后，立即响应中断，而流水线CPU则会遇到一些问题，在流水线中的指令要先执行完成，CPU同时禁止流水线的后续指令进入，然后在转到中断处理程序。

## 10.5

问题：中断屏蔽的作用？计算机中有一些故障和事件是不允许屏蔽的，掉电中断允许屏蔽吗？

答：

作用：当处理某级中断时，屏蔽本级和更低级的中断；改变中断源的优先级。

掉电中断不允许屏蔽。

## 10.6

某行式打印机速度为每分钟760行，每行132字符。打印机经异步串行口与主机相连。设传送速率为0.8，但在传输前将数据进行压缩处理，使得传送速率提高一倍。串口的波特率应该选择9600b/s。若打印机以中断的方式与CPU进行传送数据，上述的数据压缩处理不会影响打印速度。

解析：760\*132/60=1672 B/s 1672/2=836B/s

9600/8\*0.8=960B/s>836B/s,因此选择9600b/s.

## 10.7

问题：假设某外设向CPU传送信息，最高频率为40千次/s，相应的中断处理程序的执行时间为40us，问该外设是否采用中断方式工作？

答：

不可。请求中断的周期为25us，二处理一次中断要用40us，因此数据会丢失。

## 10.8

在DMA三种方式中，传送同样多的数据，CPU暂停方式的速度最快。

采用程序中断方式传送数据时，需要暂时中断CPU处理程序，DMA方式不需要暂停CPU处理程序。

## 10.9

问题：DMA控制器（接口）主要由哪些逻辑电路（部件）组成？

答：

主机与DMA的接口、DMA与设备的接口， I/O控制逻辑。而主机与DMA控制器的接口包含这几个部件：命令/状态寄存器CR：接收从CPU发来的I/O命令或有关的控制信息，或设备的状态。 内存地址寄存器MAR：存放数据从设备传到内存的目的地址，或由内存到设备的内存源地址。 数据寄存器DR：暂存设备和内存间交换的数据。 数据计数器DC：存放本次CPU要读/写的字（节）数。

## 10.10

问题：简述DMA处理的全过程。指出哪些是软件处理，哪些是硬件处理。

答：

DMA处理过程分为三个阶段。预处理、数据传送、后处理。预处理和后处理是通过软件实现的，数据传送是通过硬件实现的。

## 10.11

问题：由于问题过长请看组成书第十章10.11

答：

1)最大传输率=磁道存储量/（盘转一圈的时间-磁头转过4个扇区的间隙时间）

=1.6MB/S /200/(25ms-4\*1.25ms)=400KB/S

2)读取一位的时间=1/传输率=1/400K\*8/S=0.31us

本题的磁盘接口不能够正常运行，因为，寄存器保存一个字不变的时间只有0.31us而CPU的最大响应时间是3us。

解决办法：在设置一个寄存器作为发送寄存器，每当第一个寄存器满了，将数据传送给发送寄存器，保存一个字的时间为：0.31\*16=4.96>3，因此可行。

## 10.12

问题：今有一磁盘存储器，转速3000r/min，分为8个扇区，每个扇区存储1KB。主存与磁盘传送数据的宽度为16个位。

1. 描述从磁盘处于静止状态开始将主存缓冲区中的2KB传送到磁盘的整个工作过程。
2. 假设有一条指令的最长执行时间为30us,是否可以采用指令结束时响应DMA请求的方案，为什么？假设不行需要做出怎样的修改？

答：

1. 主程序应该先启动磁盘驱动器。转速正常后，接口向CPU发中断请求，由中断服务程序实现向接口发送设备地址、主存缓冲区地址、字数等预处理工作。找道和等待磁盘转到访问扇区，通过接口发出1K个DMA请求，传送1K字后，接口向CPU发送中断，由中断服务程序结束磁盘等后处理工作。
2. 已知转速为3000r/min，所以转速为50r/s. 所以磁盘转一周的时间为1/50 s=20ms。

每个扇区有1KB，所以一个磁道的总存储量=8KB

传输率为：8KB/20ms=400KB/S

传输一位数据所需要的时间=1/传输率=1/400\*8K/S=0.31us

传送数据有16位，所以需要16\*0.31=5us

由于一条指令所需要的时间是30us，所以存在数据丢失的情况。

解决方法：应该使每个机器周期都能够响应DMA。

## 10.16

问题：串行接口中为何需要串行、并行数据的转换电路？

答：

计算机内部的数据是并行传输的

## 10.17

问题：计算机中采用多总线结构的主要原因？

答：

为了解决总线传输数据的瓶颈问题。

## 10.19

问题：在外部设备接口中，有哪些是并行接口，哪些是串行接口？

答：

并行接口：ATA、SCSI

串行接口：USB、IEEE 1394、SATA、SAS、FC